

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-252461

(43)Date of publication of application : 19.10.1988

(51)Int.Cl.

H01L 27/08

H01L 29/78

(21)Application number : 62-088264

(71)Applicant : NEC CORP

(22)Date of filing : 09.04.1987

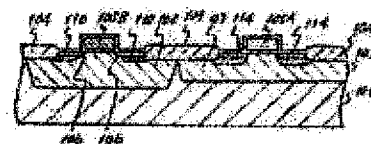
(72)Inventor : TOYODA NAGAYUKI

(54) MANUFACTURE OF CMOS TYPE SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To reduce manufacturing processes, and to prevent the formation of offset structure with a gate electrode of a P+ type diffusion layer by shaping an N- type diffusion layer on the PMOS transistor side once and doping a P-type impurity to form the P+ type diffusion layer.

CONSTITUTION: A P well 102 is formed selectively to an NMOS transistor forming section in a semiconductor substrate 101 and an N well 103 to a PMOS transistor forming section, and an insulating film 104 for element isolation is shaped. Gate electrodes 105A, 105B are applied and formed, and N- type diffusion layers 106 are shaped. The oxide film formed onto the whole surface is etched to shape side walls, N+ type diffusion layers 110 are formed in source- drain regions in the NMOS transistor, and a P-type impurity is added into source-drain regions in a PMOS transistor in high concentration to shape P+ type diffusion layers 114.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-252461

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)10月19日

H 01 L 27/08
29/78

3 2 1
3 0 1

E-7735-5F
L-8422-5F

審査請求 未請求 発明の数 2 (全6頁)

⑮ 発明の名称 CMOS型半導体装置の製造方法

⑯ 特 願 昭62-88264

⑰ 出 願 昭62(1987)4月9日

⑱ 発 明 者 豊 田 修 至 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

CMOS型半導体装置の製造方法

2. 特許請求の範囲

(1) p型又はn型半導体基板にnウェル及びpウェルを形成する工程と、前記ウェルが形成された半導体基板に素子分離のための絶縁膜を形成する工程と、前記nウェル及びpウェル上にゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極をマスクとしnチャネル及びpチャネルトランジスタのソース・ドレイン領域にn型不純物を導入してn⁻型拡散層を形成する工程と、前記ゲート電極の側面にサイドウォールを形成したのちゲート電極及びサイドウォールをマスクとして前記nチャネルトランジスタのソース・ドレイン領域にn型不純物を導入しn⁺型拡散層を形成する工程と、前記サイドウォールを除去したのちpチャネルトランジ

スタのソース・ドレイン領域にp型不純物を導入しp⁺型拡散層を形成する工程とを含むことを特徴とするCMOS型半導体装置の製造方法。

(2) p型又はn型半導体基板にnウェル及びpウェルを形成する工程と、前記nウェル及びpウェル上にゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極をマスクとしnチャネル及びpチャネルトランジスタのソース・ドレイン領域にn型不純物を導入してn⁻型拡散層を形成する工程と、n⁻型拡散層が形成された前記pチャネルトランジスタのソース・ドレイン領域にp型不純物を導入してp⁻型拡散層を形成する工程と、前記ゲート電極の側面にサイドウォールを形成したのちゲート電極及びサイドウォールをマスクとしn型及びp型不純物を導入しnチャネルトランジスタのソース・ドレイン領域にn⁺型拡散層をまたpチャネルトランジスタのソース・ドレイン領域にp⁺型拡散層を形成する工程とを含むことを特徴とするCMOS型半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はCMOS型半導体装置の製造方法に関する。

〔従来の技術〕

Nチャネル及びPチャネルMOS電界効果トランジスタ(以下NMOSTランジスタ及びPMOSTランジスタと記す)を組合わせたCMOS型電界効果トランジスタ(以下CMOSTランジスタと記す)に於いて、高集積化を図るためには、各MOSTランジスタのチャネル長を短くすることが重要である。ところが、この短チャネル化が進むと、ホットキャリア効果を生じ、トランジスタとしての動作が著しく損われる。この問題はNMOSTランジスタにおいて特に深刻である。

そこで、従来NMOSTランジスタは第3図(g)に示す如くソース・ドレインを n^+ 拡散層207と n^+ 拡散層211からなるLDD構造とすることにより、上記ホットキャリア効果を防いでいる。以下従来のCMOSTランジスタの製造方法を第3

図(h)に示すように、シリコン基板201中にpウェル202、nウェル203及び選択酸化法による厚い素子分離用絶縁膜204を形成する。

図(a)~(g)を用いて説明する。

まず第3図(a)に示すように、シリコン基板201中にpウェル202、nウェル203及び選択酸化法による厚い素子分離用絶縁膜204を形成する。

次に第3図(b)に示すように、ゲート電極205A、205Bを形成し、PMOSTランジスタ形成部のみにフォトレジスト206Aによるマスクを施し、NMOSTランジスタ形成部にn型不純物をイオン注入し、 n^+ 拡散層207を形成する。

次に第3図(c)に示すように、酸化膜層208を表面に形成後、第3図(d)に示すように、この酸化膜層208をエッチバックすることでサイドウォール209を形成する。

次に第3図(e)に示すように、再びPMOSTランジスタ形成部のみにフォトレジスト206Bによるマスクを施し、NMOSTランジスタのみにn型不純物をイオン注入し、 n^+ 型拡散層211を形成する。

次に第3図(f)に示すようにNMOSTランジスタ

形成部のみにフォトレジスト206Cによるマスクを施し、PMOSTランジスタのみにp型不純物をイオン注入し、 p^+ 型拡散層213を形成しフォトレジスト206Cを除去することにより、第2図(g)に示すNMOSTランジスタにLDD構造を有するCMOSTランジスタが完成する。

〔発明が解決しようとする問題点〕

上述した従来のCMOSTランジスタの製造方法でNMOSTランジスタのみをLDD構造とする場合、NMOS及びPMOS両トランジスタの拡散層(ソース・ドレイン)を形成する工程で、通常のLDD構造を有しないCMOSTランジスタが2回のフォトリソグラフィ工程しか要しないのに対し、第3図(b)、(e)及び(f)に示した如く最低でも3回のフォトリソグラフィ工程を必要とし、CMOSTランジスタ製造上多数の工程を要することになる。

さらに上述した従来の方法でNMOSTランジスタのみをLDD構造とする際、PMOSTランジスタのゲート電極側壁にもサイドウォール209

が形成されてしまうため、第3図(f)に示した工程において、PMOSTランジスタの p^+ 型拡散層213を形成する場合、この p^+ 型拡散層213がゲート電極205Aとオフセット構造にならない様に、さらにはゲート電極の長さに対して十分な実効チャネル長が得られる様に制御するのが困難であるという欠点がある。

本発明の目的は、上記欠点を除去し、ソース・ドレイン端がゲート電極下部とオフセットとならず、しかもフォトリソグラフィ工程の少ないCMOS型半導体装置の製造方法を提供することにある。

〔問題点を解決するための手段〕

第1の発明のCMOS型半導体装置の製造方法は、p型又はn型半導体基板にnウェル及びpウェルを形成する工程と、前記ウェルが形成された半導体基板に素子分離のための絶縁膜を形成する工程と、前記nウェル及びpウェル上にゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極をマスクとしnチャネル及びpチャネ

トランジスタのソース・ドレイン領域に n 型不純物を導入して n^- 型拡散層を形成する工程と、前記ゲート電極の側面にサイドウォールを形成したのちゲート電極及びサイドウォールをマスクとして前記 n チャネルトランジスタのソース・ドレイン領域に n 型不純物を導入し n^+ 型拡散層を形成する工程と、前記サイドウォールを除去したのち p チャネルトランジスタのソース・ドレイン領域に p 型不純物を導入し p^+ 型拡散層を形成する工程とを含んで構成される。

第2の発明のCMOS型半導体装置の製造方法は、 p 型又は n 型半導体基板に n ウェル及び p ウェルを形成する工程と、前記 n ウェル及び p ウェル上にゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極をマスクとし n チャネル及び p チャネルトランジスタのソース・ドレイン領域に n 型不純物を導入して n^- 型拡散層を形成する工程と、 n^- 型拡散層が形成された前記 p チャネルトランジスタのソース・ドレイン領域に p 型不純物を導入して p^- 型拡散層を形成する工程と、

$5 \times 10^{16} \text{ cm}^{-2}$ 程度の範囲内でトランジスタの特性例えば、しきい電圧等によって設計する。)次いで強化シリコン膜をマスクとして選択酸化法により薄い素子分離用の絶縁膜104を形成する。

次に第1図(b)に示す如く、薄いゲート酸化膜を介し多結晶シリコンを被着し、パターニングしてゲート電極105A、105Bを形成する。なおこのゲート電極は多結晶シリコンの代りに、例えばモリブデン等の金属でもよい。その後、ゲート電極105A、105B及び絶縁膜104をマスクとしてリン等の n 型不純物を中濃度に添加し、NMOSトランジスタのソース・ドレイン領域に n^- 型拡散層106を形成する。この時、PMOSトランジスタのソース・ドレイン領域にも n^- 型拡散層106が形成される。

次に第1図(c)に示す如く、全面に酸化膜107を例えばCVD法により形成する。

次に第1図(d)に示す如く、異方性ドライエッチング法等により酸化膜107をエッチングしサイドウォール108を形成する。次に、PMOSト

前記ゲート電極の側面にサイドウォールを形成したのちゲート電極及びサイドウォールをマスクとし n 型及び p 型不純物を導入し n チャネルトランジスタのソース・ドレイン領域に n^+ 型拡散層をまた p チャネルトランジスタのソース・ドレイン領域に p^+ 型拡散層を形成する工程とを含んで構成される。

〔実施例〕

次に本発明の実施例を図面を参照して説明する。

第1図(a)~(g)は、第1の発明の一実施例を説明するための工程順に示した半導体チップの断面図である。

まず第1図(a)に示す如く、半導体基板たとえばシリコン基板101中に基板の不純物濃度よりも高い不純物濃度をもつウェル領域を選択的に形成する。例えばNMOSトランジスタ形成部にはホウ素などの p 型不純物を添加し p ウェル102を、またPMOSトランジスタ形成部にはリンなどの n 型不純物を添加し n ウェル103を形成する。(なおウェルの不純物濃度は実用上、 $5 \times 10^{15} \sim$

トランジスタ形成部にフォトレジスト109Aによるマスクを施し、例えばヒ素等の n 型不純物を高濃度に添加し、NMOSトランジスタのソース・ドレイン領域に n^+ 型拡散層110を形成する。

次に第1図(e)に示す如く、サイドウォール108を例えばウェットエッチング等により除去する。この時、拡散層上部及びゲート電極の周りの薄い酸化膜も同時に除去されるため、再度薄い酸化膜111を設ける。

次に第1図(f)に示す如く、NMOSトランジスタ形成部にフォトレジスト109Bによるマスクを施し、例えばホウ素等の p 型不純物を前記 n^- 型拡散層106を完全に覆うよう高濃度に添加する。 n^- 型拡散層106を例えば、リンを $5 \times 10^{15} \text{ cm}^{-2}$ 、40 keVの条件で添加して形成した場合、例えばホウ素を $5 \times 10^{15} \text{ cm}^{-2}$ 、30 keVの条件で高濃度に添加することによりPMOSトランジスタのソース・ドレインとして十分な p^+ 型拡散層114が得られる。またサイドウォール除去後、 p^+ 型拡散層を形成するため、ゲート電極の長さに対し十

分な実効チャネル長を得ること及びソース・ドレインとなる p^+ 型拡散層114の端がゲート電極105A下部とオフセットにならない様コントロールすることが容易となる。

また従来の方法では、第3図(b)に示したように、PMOSトランジスタ形成部にフォトレジスト206Aによるマスクを要すが、本実施例においては必要なく、最終的に、第1図(g)に示した如く、NMOSトランジスタがLDD構造となり、ホットエレクトロン効果に対し、耐性のあるCMOSトランジスタが得られる。

第2図(a)~(f)は第2の発明の一実施例を説明するための工程順に示した半導体チップの断面図であり、CMOSトランジスタ中のPMOSトランジスタについてもLDD構造を形成した場合を示す。

すなわち第2図(a)に示すように、シリコン基板301にpウェル302、nウェル303を形成後ゲート酸化膜を介して多結晶シリコンからなるゲート電極305A、305Bを形成する。次で各

次に第2図(e)に示すように、サイドウォール311の除去を行わず、Nチャネルトランジスタ形成部にフォトレジスト307Cによるマスクを施し、ホウ素等のp型不純物を高濃度に添加し、PMOSトランジスタのソース・ドレイン領域に p^+ 型拡散層315を形成する。以下フォトレジスト307Cを除去することにより第2図(f)に示すCMOSトランジスタが完成する。

本実施例による方法では、従来の方法でNMOSトランジスタのみをLDD構造とする場合と同様のフォトリソグラフィ工程の回数でNMOS及びPMOSのトランジスタのソース・ドレインがLDD構造であるCMOSトランジスタが得られ、ホットキャリア効果に対しより耐性を向上させることができる。

〔発明の効果〕

以上説明したように本第1の発明では、CMOSトランジスタにおいてNチャネルトランジスタのみをLDD構造とする際、 n^- 型拡散層をPMOSトランジスタ側にも一旦形成し、その後このPM

MOSトランジスタのソース・ドレイン領域に n^- 型拡散層306を形成する

次に第2図(b)に示すように、NMOSトランジスタ形成部のみにフォトレジスト307Aによるマスクを施し、例えばホウ素等のp型不純物をPMOSトランジスタの n^- 型拡散層306を完全に覆う様中濃度に添加し p^- 型拡散層309を形成する。この時 n^- 型拡散層306を例えば、リンを $5 \times 10^{13} \text{cm}^{-2}$ 、40 keVの条件で添加し形成した場合、ホウ素を $1 \times 10^{14} \text{cm}^{-2}$ 、70 keVの条件で中濃度に添加することでPMOSトランジスタのソース・ドレインのLDD構造における p^- 型拡散層309として十分である。

次に第2図(c)に示すように、全面に酸化膜310を形成したのちエッチングし第2図(d)に示すようにサイドウォール311を形成する。次でPMOSトランジスタ形成部にフォトレジスト307Bを施し、 n 型不純物をイオン注入してNMOSトランジスタのソース・ドレイン領域に n^+ 型拡散層313を形成する。

OSトランジスタ側の n^- 型拡散層にp型不純物をドーピングして p^+ 型拡散層を形成することにより、フォトリソグラフィ工程を従来の方法より少なくできる。またPMOSトランジスタの p^+ 型拡散層(ソース・ドレイン)形成に際しては、本発明では、予めサイドウォールを除去した後p型不純物をドーピングを行うため、ゲート電極の長さに対し十分な実効チャネル長を得ること、及びソース・ドレイン端がゲート電極下部とオフセットとならないようにコントロールすることが容易となる。

さらに本第2の発明では、従来の方法でNMOSトランジスタのソース・ドレインのみをLDD構造とする場合と同様のフォトリソグラフィ回数でPMOSトランジスタのソース・ドレインもLDD構造とすることができるため、ホットキャリア効果に対し、より一層耐性のあるCMOSトランジスタが得られるという効果がある。

4. 図面の簡単な説明

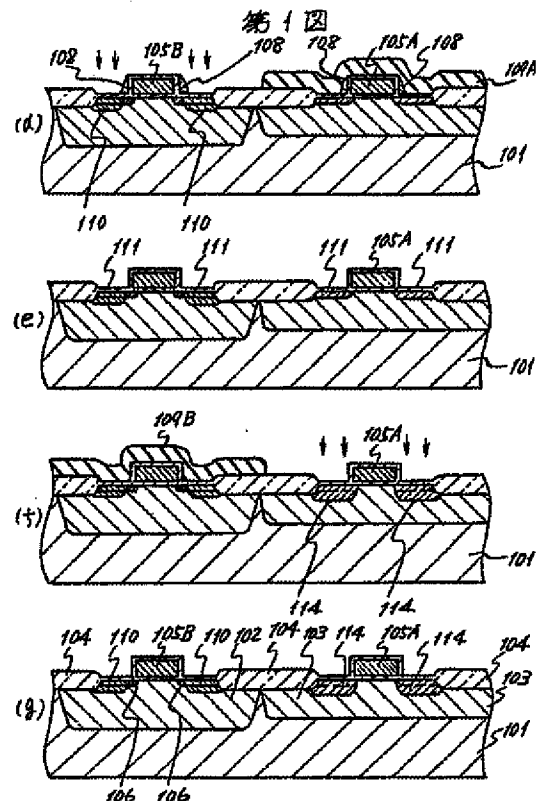
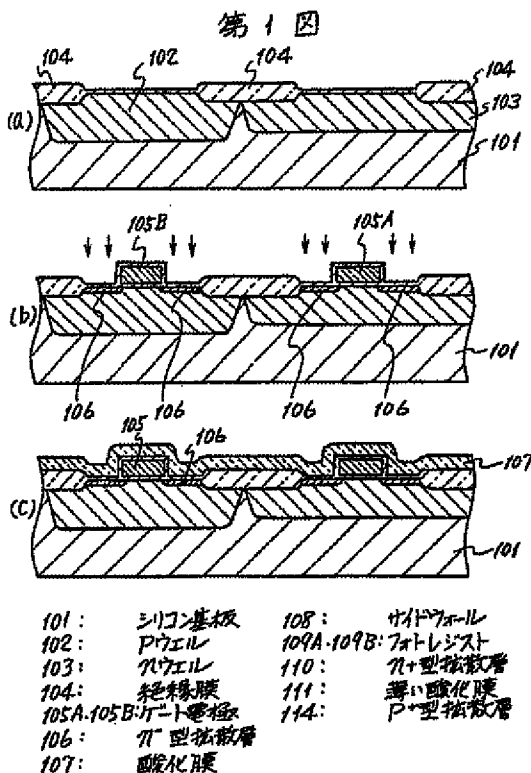
第1図(a)~(g)は第1の発明の一実施例を説明す

るための工程順に示した半導体チップの断面図、第2図(a)~(f)は第2の発明の一実施例を説明するための工程順に示した半導体チップの断面図、第3図(a)~(g)は従来のCMOS型半導体装置の製造方法を説明するための半導体チップの断面図である。

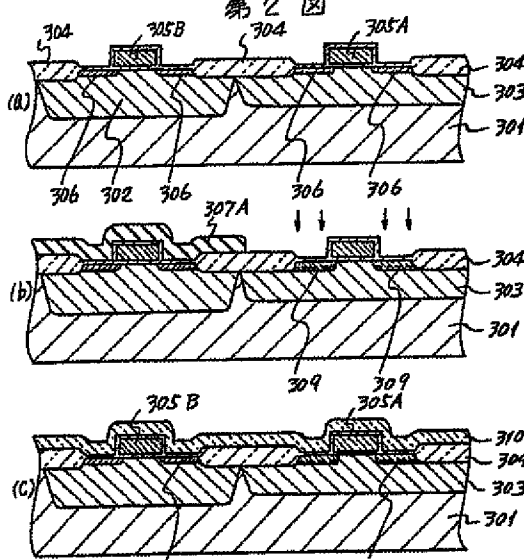
101, 201, 301……シリコン基板、102, 202, 302……pウェル、103, 203, 303……nウェル、104, 204, 304……絶縁膜、105A, 105B, 205A, 205B, 305A, 305B……ゲート電極、106, 306……n⁺型拡散層、107……酸化膜、108……サイドウォール、109A, 109B……フォトレジスト、110……n⁺型拡散層、111……薄い酸化膜、114……p⁺型拡散層、206A~206C……フォトレジスト、207……n⁺型拡散層、208……酸化膜、209……サイドウォール、211……n⁺型拡散層、213……p⁺型拡散層、307A~307C……フォトレジスト、309……p⁺型拡散層、310……酸化膜、311……サイドウォール

ール、313……n⁺型拡散層、315……p⁺型拡散層。

代理人 弁理士 内 原 晋

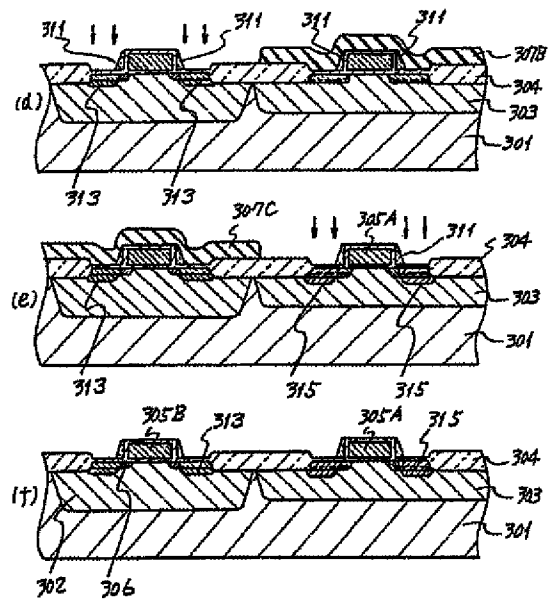


第2区

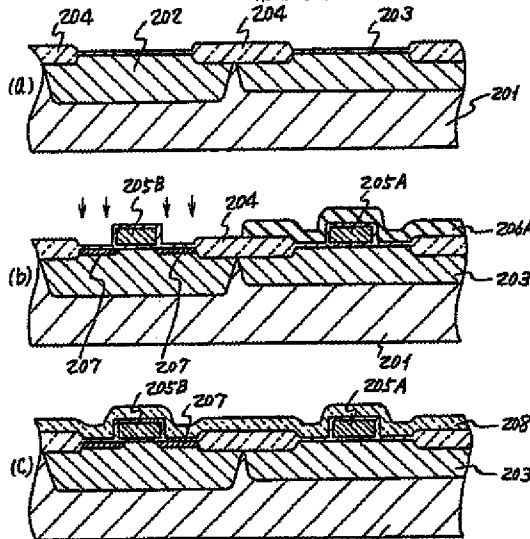


- | | | | |
|-------------|--------|------|---------|
| 301: | シリコン基板 | 309: | P-型拡散層 |
| 302: | Pウェル | 310: | 酸化膜 |
| 303: | Nウェル | 311: | サイドウォール |
| 304: | 絶縁膜 | 313: | n+型拡散層 |
| 305A, 305B: | ゲート電極 | 315: | P+型拡散層 |
| 306: | n-型拡散層 | | |
| 307A, 307C: | フォトリソ | | |

第2図



第3圖



- | | | | |
|-------------|------------|------|--------------|
| 201: | シロン基板 | 208: | 酸化膜 |
| 202: | Pウエル | 209: | サイドウォール |
| 203: | Nウエル | 211: | π^+ 型拡散層 |
| 204: | 絶縁膜 | 213: | p^+ 型拡散層 |
| 205A, 205B: | ゲート電極 | | |
| 206A~206C: | フォトリソスト | | |
| 207: | π 型拡散層 | | |

第3回

